

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-306020

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

G09G 3/20  
G09G 3/28  
G09G 3/30  
H04N 5/66

(21)Application number : 2000-116972

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 18.04.2000

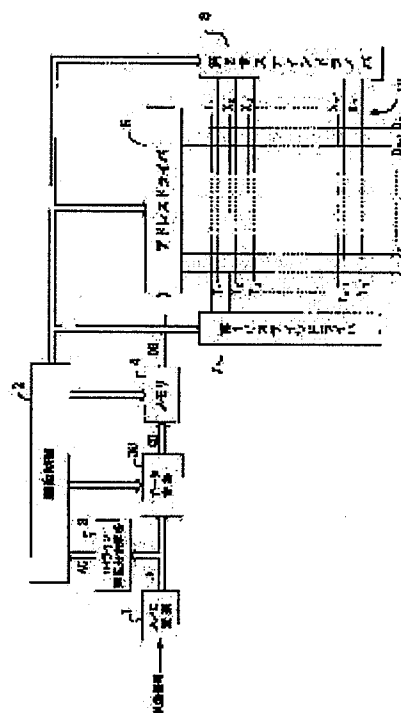
(72)Inventor : HONDA KOJI  
SHIGETA TETSUYA  
NAGAKUBO TETSURO

## (54) METHOD FOR DRIVING DISPLAY PANEL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for driving a display panel which realizes a high definition gradation display, while suppressing power consumption.

**SOLUTION:** A unit display period in a video signal is divided into plural divided display periods, and during each divided display period, a pixel data write process for setting each pixel cell to either a light-emitting cell or a non-light-emitting cell according to a pixel data corresponding to the video signal, and a light-emission maintenance process for making only the above light-emitting cells emit light by the light-emitting frequency allocated correspondingly to each weighting during this divided display period are carried out. Luminance distribution of the video signal is obtained for each display line portion in the display panel, and the light-emitting frequency to be allocated to each of this light-emission maintenance processes according to the brightness distribution is altered for each display line.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-306020

(P2001-306020A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E 5 C 0 5 8
	6 1 1		6 1 1 A 5 C 0 8 0
3/28		3/30	K
3/30		H 0 4 N 5/66	1 0 1 B
H 0 4 N 5/66	1 0 1	G 0 9 G 3/28	K
審査請求 未請求 請求項の数15 O L (全 18 頁)			

(21) 出願番号 特願2000-116972(P2000-116972)

(22) 出願日 平成12年4月18日 (2000.4.18)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 本田 広史

山梨県中巨摩郡田宮町西花輪2680番地 パ

イオニア株式会社内

(72) 発明者 重田 哲也

山梨県中巨摩郡田宮町西花輪2680番地 パ

イオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

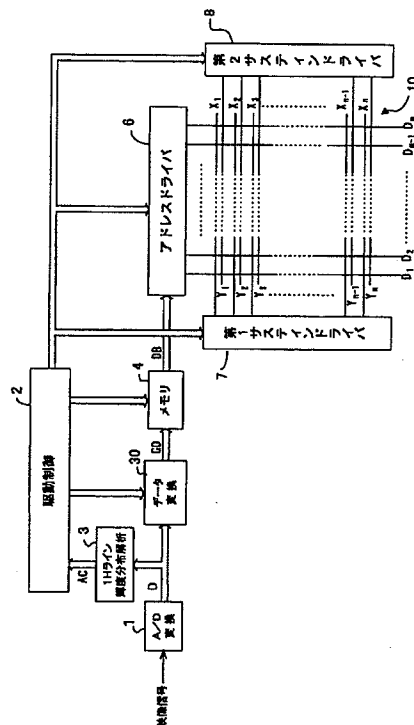
最終頁に続く

(54) 【発明の名称】 ディスプレイパネルの駆動方法

(57) 【要約】

【課題】 電力消費を抑制しつつ高精細な階調表示を実現するディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 映像信号における単位表示期間を複数の分割表示期間に分割し分割表示期間の各々において、映像信号に対応した画素データに応じて画素セルの各々を発光セル又は非発光セルのいずれか一方に設定する画素データ書込行程と、上記発光セルのみを上記分割表示期間各々の重み付けに対応して割り当てた発光回数だけ発光させる発光維持行程とを実行し、ディスプレイパネルにおける表示ライン分毎に映像信号の輝度分布を求めその輝度分布に応じて上記単位表示期間中における分割表示期間の数を表示ライン毎に変更する。



## 【特許請求の範囲】

【請求項 1】 複数の画素セルがマトリクス状に配列されているディスプレイパネルを映像信号に応じて駆動するディスプレイパネルの駆動方法であって、前記映像信号における単位表示期間を複数の分割表示期間に分割し前記分割表示期間の各々において、前記映像信号に対応した画素データに応じて前記画素セルの各々を発光セル又は非発光セルのいずれか一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応して割り当てた発光回数だけ発光させる発光維持行程と、を実行し、前記ディスプレイパネルにおける表示ライン分毎に前記映像信号の輝度分布を求めその輝度分布に応じて前記単位表示期間中における前記分割表示期間の数を表示ライン毎に変更することを特徴とするディスプレイパネルの駆動方法。

【請求項 2】 1つの表示ライン分の前記映像信号における各輝度レベル毎の累積頻度に基づいて前記輝度分布を求めることを特徴とする請求項 1 記載のディスプレイパネルの駆動方法。

【請求項 3】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記画素セルを前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、前記分割表示期間の内のいずれか 1 の分割表示期間での前記画素データ書込行程においてのみで前記画素セルを前記非発光セル又は前記発光セルのいずれか一方の状態に設定することを特徴とする請求項 1 記載のディスプレイパネルの駆動方法。

【請求項 4】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記画素セルを前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、前記分割表示期間の内のいずれか 1 の分割表示期間での前記画素データ書込行程において前記画素セルを前記非発光セル又は前記発光セルのいずれか一方の状態に設定し、前記 1 の分割表示期間の後に存在する少なくとも 1 の分割表示期間での前記画素データ書込行程において前記画素セルを再び前記一方の状態に設定することを特徴とする請求項 1 記載のディスプレイパネルの駆動方法。

【請求項 5】 1つの表示ライン分の前記映像信号における前記輝度分布の輝度レベル範囲が広い場合には狭い場合に比して前記分割表示期間の数を増やすことを特徴とする請求項 1 記載のディスプレイパネルの駆動方法。

【請求項 6】 複数の画素セルがマトリクス状に配列されているディスプレイパネルを映像信号に応じて駆動するディスプレイパネルの駆動方法であって、前記映像信号における単位表示期間を複数の分割表示期間に分割し前記分割表示期間の各々において、前記映像信号に対応した画素データに応じて前記画素セルの各々を発光セル又は非発光セルのいずれか一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応して割り当てた発光回数だけ発光させる発光維持行程と、を実行し、前記ディスプレイパネルにおける複数表示ライン分毎に前記映像信号の輝度分布を求めその輝度分布に応じて前

ルの各々を発光セル又は非発光セルのいずれか一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応して割り当てた発光回数だけ発光させる発光維持行程と、を実行し、前記ディスプレイパネルにおける複数表示ライン分毎に前記映像信号の輝度分布を求めその輝度分布に応じて前記単位表示期間中における前記分割表示期間の数を複数表示ライン毎に変更することを特徴とするディスプレイパネルの駆動方法。

【請求項 7】 複数の表示ライン分の前記映像信号における各輝度レベル毎の累積頻度に基づいて前記輝度分布を求めることを特徴とする請求項 6 記載のディスプレイパネルの駆動方法。

【請求項 8】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記画素セルを前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、前記分割表示期間の内のいずれか 1 の分割表示期間での前記画素データ書込行程においてのみで前記画素セルを前記非発光セル又は前記発光セルのいずれか一方の状態に設定することを特徴とする請求項 6 記載のディスプレイパネルの駆動方法。

【請求項 9】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記画素セルを前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、前記分割表示期間の内のいずれか 1 の分割表示期間での前記画素データ書込行程において前記画素セルを前記非発光セル又は前記発光セルのいずれか一方の状態に設定し、前記 1 の分割表示期間の後に存在する少なくとも 1 の分割表示期間での前記画素データ書込行程において前記画素セルを再び前記一方の状態に設定することを特徴とする請求項 6 記載のディスプレイパネルの駆動方法。

【請求項 10】 複数の表示ライン分の前記映像信号における前記輝度分布の輝度レベル範囲が広い場合には狭い場合に比して前記分割表示期間の数を増やすことを特徴とする請求項 6 記載のディスプレイパネルの駆動方法。

【請求項 11】 複数の画素セルがマトリクス状に配列されているディスプレイパネルを映像信号に応じて駆動するディスプレイパネルの駆動方法であって、前記映像信号における単位表示期間を複数の分割表示期間に分割し前記分割表示期間の各々において、前記映像信号に対応した画素データに応じて前記画素セルの各々を発光セル又は非発光セルのいずれか一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応して割り当てた発光回数だけ発光させる発光維持行程と、を実行し、前記ディスプレイパネルにおける複数表示ライン分毎に前記映像信号の輝度分布を求めその輝度分布に応じて前

記単位表示期間中における前記分割表示期間の数を表示ライン毎に変更することを特徴とするディスプレイパネルの駆動方法。

【請求項12】 複数の表示ライン分の前記映像信号における各輝度レベル毎の累積頻度に基づいて前記輝度分布を求めることを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【請求項13】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記画素セルを前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、  
前記分割表示期間の内のいずれか1の分割表示期間での前記画素データ書込行程においてのみで前記画素セルを前記非発光セル又は前記発光セルのいずれか一方の状態に設定することを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【請求項14】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記画素セルを前記発光セル又は前記非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、  
前記分割表示期間の内のいずれか1の分割表示期間での前記画素データ書込行程において前記画素セルを前記非発光セル又は前記発光セルのいずれか一方の状態に設定し、前記1の分割表示期間の後に存在する少なくとも1の分割表示期間での前記画素データ書込行程において前記画素セルを再び前記一方の状態に設定することを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【請求項15】 複数の表示ライン分の前記映像信号における前記輝度分布の輝度レベル範囲が広い場合には狭い場合に比して前記分割表示期間の数を増やすことを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、マトリクス表示方式のディスプレイパネルの駆動方法に関する。

【0002】

【背景技術】 近年、薄型平面のマトリクス表示方式のディスプレイパネルとして、プラズマディスプレイパネル（以下、PDPと称する）、及びエレクトロルミネセントディスプレイパネル（以下、ELDPと称する）等が実用化されてきた。これらPDP及びELDPには、 $n$ 行 $\times$  $m$ 列なるマトリクス状に各画素を担う画素セルが配列されている。この際、上記画素セルは、“発光”及び“非発光”の2状態しかもたない。従って、上記PDP及びELDPの如きディスプレイパネルに対して、入力映像信号に対応した中間調の輝度を得られるようにすべく、サブフィールド法を用いた階調駆動を実施する。

【0003】 サブフィールド法では、入力映像信号を各

画素毎に $N$ ビットの画素データに変換し、この $N$ ビットのビット桁各々に対応させて、入力映像信号における1フィールドの表示期間を $N$ 個のサブフィールドに分割する。各サブフィールドには、上記画素データのビット桁各々に対応した発光回数が夫々割り当ててある。この際、上記 $N$ ビット中の1つのビット桁の論理レベルが例えば“1”である場合には、そのビット桁に対応したサブフィールドにおいて、上述の如く割り当てた回数分だけ発光を実行する。一方、上記1つのビット桁の論理レベルが“0”である場合には、そのビット桁に対応したサブフィールドでは発光を行わない。サブフィールド法を用いた駆動では、1フィールド表示期間内のサブフィールド各々で実行した発光回数の合計により、入力映像信号に対応した中間調の輝度を段階的に表現するのである。

【0004】

【発明が解決しようとする課題】 本発明は、入力映像信号に対応した良好な階調表示を実現するディスプレイパネルの駆動方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明によるディスプレイパネルの駆動方法は、複数の画素セルがマトリクス状に配列されているディスプレイパネルを映像信号に応じて駆動するディスプレイパネルの駆動方法であって、前記映像信号における単位表示期間を複数の分割表示期間に分割し前記分割表示期間の各々において、前記映像信号に対応した画素データに応じて前記画素セルの各々を発光セル又は非発光セルのいずれか一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応して割り当てた発光回数だけ発光させる発光維持行程と、を実行し、前記ディスプレイパネルにおける表示ライン分毎に前記映像信号の輝度分布を求めその輝度分布に応じて前記単位表示期間中における前記分割表示期間の数を表示ライン毎に変更する。

【0006】

【発明の実施の形態】 以下、本発明の実施例を図を参照しつつ説明する。図1は、上記ディスプレイパネルとしてプラズマディスプレイパネルを搭載したプラズマディスプレイ装置の概略構成を示す図である。図1に示されるように、かかるプラズマディスプレイ装置は、プラズマディスプレイパネルとしてのPDP10と、本発明による駆動方法に基づいてこのプラズマディスプレイパネルを駆動する駆動部とから構成されている。

【0007】 PDP10は、アドレス電極としての $m$ 個の列電極 $D_1 \sim D_m$ と、これら列電極各々と交叉して配列されている夫々 $n$ 個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。この際、行電極 $X$ 及び行電極 $Y$ は、これら一対にてPDP10における1表示ライン分の表示を担う行電極を形成している。列電極 $D$ 、行電極 $X$ 及び $Y$ は放電空間に対して誘電体層で被覆されている。そして、各行電極対と列電極との各交叉部に、画素セルと

しての放電セルが形成される構造となっている。すなわち、1表示ライン上には、m個の列電極D各々に対応したm個の画素が形成されている。

【0008】一方、駆動部におけるA/D変換器1は、入力された映像信号をサンプリングしてこれを1画素毎の例えば8ビットの画素データDに変換する。そして、A/D変換器は、かかる画素データDを、1Hライン輝度分布解析回路3及びデータ変換回路30の各々に供給する。1Hライン輝度分布解析回路3は、上記A/D変換器1から1表示ライン分のm個の画素データDが供給される度に、かかるm個の画素データDに基づいてこの1表示ライン分での輝度分布を解析する。そして、1Hライン輝度分布解析回路3は、かかる解析結果に基づいて、累積頻度データACを駆動制御回路2に供給する。

【0009】図2は、かかる1Hライン輝度分布解析回路3の内部構成の一例を示す図である。図2において、頻度分布メモリ300は、図3に示されるが如き、上記画素データDとして表現し得る全ての輝度レベル"0"～"255"各々に対応付けされた256個の記憶領域を\*

輝度レベル"0":  $AC_0 = DF_0$

輝度レベル"1":  $AC_1 = DF_0 + DF_1$

輝度レベル"2":  $AC_2 = DF_0 + DF_1 + DF_2$

⋮  
⋮  
⋮

輝度レベル"255":  $AC_{255} = DF_0 + DF_1 + DF_2 + DF_3 + \dots + DF_{255}$

なる演算により、輝度レベル"0"～"255"各々に対応した累積頻度データ $AC_0 \sim AC_{255}$ を夫々求めるのである。この際、1表示ライン分の画素データDの数はm個であるので、累積頻度データACの最大値は"m"となる。そして、累積頻度分布算出回路302は、これら累積頻度データ $AC_0 \sim AC_{255}$ を駆動制御回路2に供給する。

【0012】ここで、データ値が0より大となった累積頻度データACに対応する輝度レベルを最低輝度レベル $BL_0$ とし、最初にそのデータ値が"m"と等しくなった累積頻度データACに対応した輝度レベルを最高輝度レベル $BH_1$ とする。従って、 $BL_0 \sim BH_1$ なる範囲が、上述した1表示ライン分の画素データによる輝度分布範囲となる。以下、説明を簡略化するために、1フィールド分の各表示ラインにおける最低輝度レベル $BL_0$ ～最高輝度レベル $BH_1$ にて示される輝度分布が、例えば図4の4つのパターンA～Dのいずれかになっている場合について説明する。図4のパターンAは、輝度レベル"0"～"255"の全ての輝度レベルに亘って輝度の分布が為された場合である。又、図4のパターンBは、輝度レベル"128"以下の低輝度レベルの範囲内にて輝度の分布が為された場合である。又、図4のパターンCは、輝度"64"～"192"なる中輝度レベルの範囲内にて輝度の分布が為された場合である。又、図4のパターンDは、輝

\*備えている。各記録領域には、その輝度レベルを有する画素データDが供給された回数を示す頻度数データ $DF_0 \sim DF_{255}$ が記憶される。尚、頻度数データ $DF_0 \sim DF_{255}$ 各々の初期値は"0"である。

【0010】頻度分布測定回路301は、A/D変換器1から1画素分の画素データDが供給される度に、その画素データDの輝度レベルに対応した上記頻度数データDFのみを1だけインクリメントする。そして、頻度分布測定回路301は、1表示ライン分のm個の画素データDに対する上記処理が終了する度に、上記頻度分布メモリ300から頻度数データ $DF_0 \sim DF_{255}$ を読み出し、累積頻度分布算出回路302に供給する。

【0011】累積頻度分布算出回路302は、1表示ライン分に対応した頻度数データ $DF_0 \sim DF_{255}$ を低輝度に対応したものから順次累積して行き、各累積段階での途中結果を輝度レベル"0"～"255"各々に対応した累積頻度データ $AC_0 \sim AC_{255}$ として求める。すなわち、累積頻度分布算出回路302は、

度レベル"128"以上の高輝度レベルの範囲内にて輝度の分布が為された場合である。

【0013】以下に、上述した如き構成を有する1Hライン輝度分布解析回路3の動作についてを、1表示ライン分のm個の画素データDの輝度レベル推移が、図5(a)～図5(d)に示されるが如き状態である場合を例にとって説明する。尚、図5(a)～図5(d)は、いずれも、1表示ライン上において、画面左端から右端に向かって徐々に高輝度に推移する画像を表すものである。この際、図5(a)は、8ビットの画素データDとして表現し得る全ての輝度レベル"0"～"255"にて、その輝度レベルが1表示ライン上において均一に現れる場合である。図5(b)は、輝度レベル"0"～"128"の範囲内にて、その輝度レベルが1表示ライン上において均一に現れる場合である。図5(c)は、輝度レベル"64"～"192"の範囲内にて、その輝度レベルが1表示ライン上において均一に現れる場合である。図5(d)は、輝度レベル"128"～"255"の範囲内にて、その輝度レベルが1表示ライン上において均一に現れる場合である。

【0014】ここで、先ず、図5(a)に示されるが如き形態を有する1表示ライン分の画素データDによれば、輝度レベル"0"～"255"各々に対する頻度分布は図6(a)、その累積頻度分布は図7(a)に示されるが如きものとなる。ここで、図7(a)に示されるが如く、輝度レ

ベル"0"を最低輝度レベルB<sub>Lo</sub>とし、輝度レベル"255"を最高輝度レベルB<sub>Hi</sub>とすると、これらB<sub>Lo</sub>及びB<sub>Hi</sub>にて表される輝度範囲"0"~"255"での範囲分布は、図4のパターンAとなり、パターンAを示す累積輝度データACが駆動制御回路2に供給される。

【0015】又、図5(b)に示されるが如き形態を有する1表示ライン分の画素データDによれば、輝度レベル"0"~"255"各々に対する輝度分布は図6(b)、その累積輝度分布は図7(b)に示されるが如きものとなる。ここで、図7(b)に示されるが如く、輝度レベル"0"を最低輝度レベルB<sub>Lo</sub>とし、輝度レベル"128"を最高輝度レベルB<sub>Hi</sub>とすると、これらB<sub>Lo</sub>及びB<sub>Hi</sub>にて表される輝度範囲"0"~"128"での範囲分布は、図4のパターンBとなり、パターンBを示す累積輝度データACが駆動制御回路2に供給される。

【0016】又、図5(c)に示されるが如き形態を有する1表示ライン分の画素データDによれば、輝度レベル"0"~"255"各々に対する輝度分布は図6(c)、その累積輝度分布は図7(c)に示されるが如きものとなる。ここで、図7(c)に示されるが如く、輝度レベル"64"を最低輝度レベルB<sub>Lo</sub>とし、輝度レベル"192"を最高輝度レベルB<sub>Hi</sub>とすると、これらB<sub>Lo</sub>及びB<sub>Hi</sub>にて表される輝度範囲"64"~"192"での範囲分布は、図4のパターンCとなり、パターンCを示す累積輝度データACが駆動制御回路2に供給される。

【0017】又、図5(d)に示されるが如き形態を有する1表示ライン分の画素データDによれば、輝度レベル"0"~"255"各々に対する輝度分布は図6(d)、その累積輝度分布は図7(d)に示されるが如きものとなる。ここで、図7(d)に示されるが如く、輝度レベル"128"を最低輝度レベルB<sub>Lo</sub>とし、輝度レベル"255"を最高輝度レベルB<sub>Hi</sub>とすると、これらB<sub>Lo</sub>及びB<sub>Hi</sub>にて表される輝度範囲"128"~"255"での範囲分布は、図4のパターンDとなり、パターンDを示す累積輝度データACが駆動制御回路2に供給される。

【0018】このように、1Hライン輝度分布解析回路3は、入力される1表示ライン分の画素データDによる輝度分布を順次解析して、その輝度分布に応じた累積輝度データACを駆動制御回路2に供給するのである。駆動制御回路2は、1フィールド分の各表示ラインにおける累積輝度データACを取り込む。そして、かかる累積輝度データACに基づき、各輝度分布パターンのライン数の比率に応じて各表示ラインにおける駆動シーケンス(発光駆動パターン)を設定する。更に、駆動制御回路2は、設定した駆動シーケンスに対応して、後述する第1データ変換回路の変換特性(第1データ変換テーブル)及び第2データ変換回路34の変換特性(第2データ変換テーブル)を生成し、多階調化処理回路33における圧縮ビット数を設定する。

【0019】例えば、PDPの駆動装置の能力が1フィ

ールドの表示期間を7個のサブフィールドを用いて階調表示できるものとする、1ライン当りの平均スキャン回数(書込み走査回数)が7となる。この1ライン当り平均7個のサブフィールド(1ライン当りの平均スキャン回数が7)を基準にして、この基準内となるように各輝度分布パターンのライン数の比率に応じて、上述の駆動シーケンス(発光駆動パターン)などを設定する。入力映像信号の各表示ラインにおける輝度分布が図4の如き4つのパターンをとり、その比率が同程度である場合、後述するように、パターンAの表示ラインを10個のサブフィールド構成とし、パターンB、C、Dの表示ラインを5個のサブフィールド構成に設定する。

【0020】図8は、かかるデータ変換回路30の内部構成を示す図である。図8において、遅延回路31は、上記A/D変換器1から供給された画素データDを所定時間だけ遅延させてから、これを第1データ変換回路32に供給する。尚、上記所定時間とは、1フィールドにおける全表示ライン分の画素データに対して輝度分布を解析して各表示ラインに対する駆動シーケンス(発光駆動パターン)などを設定するのに費やされる処理時間である。

【0021】第1データ変換回路32は、8ビットで"0"~"255"なる256階調分の輝度レベルを表現し得る上記画素データDを"0"~"160"までに抑制した輝度抑制画素データD<sub>p</sub>に変換し、これを多階調化処理回路33に供給する。この第1データ変換回路32は、例えば、書込み可能なメモリで構成される。かかるメモリの記憶内容(変換テーブル、すなわち変換特性)は、駆動制御回路2から供給される輝度分布に応じた変換テーブルで更新され、入力される1表示ライン分の画素データDの輝度分布に応じた変換特性(変換テーブル)に設定される。すなわち、1表示ライン分の画素データに対する輝度分布が図4のパターンAとなる場合には、第1データ変換回路32の変換特性が図9(a)に示されるが如き変換特性に設定される。この際、第1データ変換回路32は、図9(a)の変換特性に従ってその表示ラインの画素データDを8ビットで"0"~"160"なる輝度レベル範囲の輝度抑制画素データD<sub>p</sub>に変換し、これを多階調化処理回路33に供給する。又、1表示ライン分の画素データに対する輝度分布が図4のパターンBとなる場合には、第1データ変換回路32の変換特性が図9(b)に示されるが如き変換特性に設定される。この際、第1データ変換回路32は、図9(b)の変換特性に従ってその表示ラインの画素データDを8ビットで"0"~"160"なる輝度レベル範囲の輝度抑制画素データD<sub>p</sub>に変換し、これを多階調化処理回路33に供給する。又、1表示ライン分の画素データに対する輝度分布が図4のパターンCとなる場合には、第1データ変換回路32の変換特性が図9(c)に示されるが如き変換特性に設定される。この際、第1データ変換回路32は、図9(c)の変

換特性に従ってその表示ラインの画素データDを8ビットで“0”～“160”なる輝度レベル範囲の輝度抑制画素データD<sub>P</sub>に変換し、これを多階調化処理回路33に供給する。又、1表示ライン分の画素データに対する輝度分布が図4のパターンDとなる場合には、第1データ変換回路32の変換特性が図9(d)に示されるが如き変換特性に設定される。この際、第1データ変換回路32は、図9(d)の変換特性に従ってその表示ラインの画素データDを8ビットで“0”～“160”なる輝度レベル範囲の輝度抑制画素データD<sub>P</sub>に変換し、これを多階調化

処理回路33に供給する。  
 【0022】多階調化処理回路33は、8ビットの上記輝度抑制画素データD<sub>P</sub>に対し、輝度分布に応じたビット圧縮を伴う誤差拡散処理及びディザ処理等の多階調化処理を施して多階調化画素データD<sub>S</sub>を求める。すなわち、多階調化処理回路33は、1表示ライン分の画素データに対する輝度分布が図4のパターンAとなる場合には、その表示ラインにおける8ビットの上記輝度抑制画素データD<sub>P</sub>を上記誤差拡散処理によって2ビット、更に上記ディザ処理によって2ビット圧縮する。これにより、多階調化処理回路33は、4ビットの多階調化画素データD<sub>S</sub>を得る。一方、1表示ライン分の画素データに対する輝度分布が図4のパターンB～Dのいずれかとなる場合には、多階調化処理回路33は、上記誤差拡散処理によって2ビット、更に上記ディザ処理によって3ビットの圧縮を行う。これにより、多階調化処理回路33は、3ビットの多階調化画素データD<sub>S</sub>を得る。そして、この3ビット又は4ビットの多階調化画素データD<sub>S</sub>は、第2データ変換回路34に供給される。

【0023】第2データ変換回路34は、例えば書込み可能なメモリで構成される。このメモリの記憶内容(変換テーブル)は、駆動制御回路2から供給された輝度分布に応じた変換テーブルで更新され、入力される1表示ライン分の画素データDの輝度分布に応じた変換テーブルに設定される。すなわち、1表示ライン分の画素データに対する輝度分布が図4のパターンAとなる場合には、第2データ変換回路34の変換テーブルが図10に示されるが如き変換テーブルに設定される。この際、第2データ変換回路34は、図10の変換テーブルに従ってその表示ラインの4ビットの多階調化画素データD<sub>S</sub>を10ビットの駆動画素データGDに変換し、これをメモリ4に供給する。一方、1表示ライン分の画素データに対する輝度分布が図4のパターンB～Dのいずれかとなる場合には、第2データ変換回路34の変換テーブルが図11に示されるが如き変換テーブルに設定される。第2データ変換回路34は図11の変換テーブルに従ってその表示ラインの3ビットの多階調化画素データD<sub>S</sub>を5ビットの駆動画素データGDに変換し、これをメモリ4に供給する。

【0024】メモリ4は、駆動制御回路2から供給され

た書込信号に従って上記駆動画素データGDを順次書き込む。ここで、1画面(n行、m列)分の駆動画素データGD<sub>11</sub>～GD<sub>nm</sub>の書込みが終了すると、メモリ4は、以下の如き読み出し動作を行う。尚、メモリ4では、上記駆動画素データGD<sub>11</sub>～GD<sub>nm</sub>各々をビット桁毎に分割した駆動画素データビット群GDA-1、GDA-2、GDA-3、……、GDA-N(Nは、5又は10)として捉える。つまり、駆動画素データGD<sub>11</sub>～GD<sub>nm</sub>各々の第1ビットのみをグループ化したものをGDA-1、第2ビットのみをグループ化したものをGDA-2として捉えるのである。この際、各駆動画素データビット群GDAは、1画面(n行、m列)分の駆動画素データビットDB<sub>11</sub>～DB<sub>nm</sub>から構成される。メモリ4は、上記駆動画素データビット群GDA-1、GDA-2、GDA-3、……、GDA-Nなる順にて、各駆動画素データビット群GDA中の各駆動画素データビットDB<sub>11</sub>～DB<sub>nm</sub>を1表示ライン分毎に順次読み出してアドレスドライバ6に供給する。

【0025】駆動制御回路2は、1フィールド分の各表示ラインにおける累積輝度データACを取り込み、累積輝度データACに基づいて各輝度分布パターンのライン数の比率に応じて各表示ラインにおける発光駆動フォーマットを設定する。そして、この設定された発光駆動フォーマットに従ってPDP10を駆動する各種タイミング信号をアドレスドライバ6、第1サステインドライバ7及び第2サステインドライバ8の各々に供給する。

【0026】上述した如く、例えば入力映像信号の各表示ラインにおける輝度分布が図4のように4つのパターンをとりその比率が同程度である場合、1表示ライン分の画素データに対する輝度分布が図4のパターンAとなる表示ラインに対しては図12(a)に示される10個のサブフィールドからなる発光駆動フォーマットに設定される。又、1表示ライン分の画素データに対する輝度分布が図4のパターンBとなる表示ラインに対しては図12(b)に示される5個のサブフィールドからなる発光駆動フォーマットに設定される。又、1表示ライン分の画素データに対する輝度分布が図4のパターンCとなる表示ラインに対しては図12(c)に示される5個のサブフィールドからなる発光駆動フォーマットに設定される。そして、1表示ライン分の画素データに対する輝度分布が図4のパターンDとなる表示ラインに対しては図12(d)に示される5個のサブフィールドからなる発光駆動フォーマットに設定される。

【0027】これら図12(a)～図12(d)に示される駆動フォーマットでは、1フィールドの表示期間の先頭において、PDP10の全放電セルを一斉に“発光セル”又は“非発光セル”のいずれか一方に初期化せしめる一斉リセット行程Rcを実行する。又、各サブフィールド内において、各放電セルを1表示ライン分ずつ順次、画素データに応じて“発光セル”又は“非発光セル”状態に設定

することにより画素データの書き込み走査を為す画素データ書込行程Wcを実行する。その後、発光回数比が、  
[2:5:11:16:10:12:13:14:16:18:19:21:46:52]  
なる14個の分割発光維持行程I1~I14を断続的に実行する。

【0028】ここで、発光駆動フォーマットが図12(a)の場合、一斉リセット行程Rcと分割発光維持行程I1の間、分割発光維持行程I1とI2の間、分割発光維持行程I2とI3の間、分割発光維持行程I3とI4の間、分割発光維持行程I4とI5の間、分割発光維持行程I6とI7の間、分割発光維持行程I8とI9の間、分割発光維持行程I10とI11の間、分割発光維持行程I12とI13の間、分割発光維持行程I13とI14の間で夫々画素データ書込行程Wcを実行する。

【0029】又、発光駆動フォーマットが図12(b)の場合、一斉リセット行程Rcと分割発光維持行程I1の間、分割発光維持行程I1とI2の間、分割発光維持行程I2とI3の間、分割発光維持行程I3とI4の間、分割発光維持行程I4とI5の間で夫々画素データ書込行程Wcを実行する。又、発光駆動フォーマットが図12(c)の場合、一斉リセット行程Rcと分割発光維持行程I1の間、分割発光維持行程I5とI6の間、分割発光維持行程I7とI8の間、分割発光維持行程I9とI10の間、分割発光維持行程I11とI12の間で夫々画素データ書込行程Wcを実行する。

【0030】そして、発光駆動フォーマットが図12(d)の場合、一斉リセット行程Rcと分割発光維持行程I1の間、分割発光維持行程I8とI9の間、分割発光維持行程I10とI11の間、分割発光維持行程I12とI13の間、分割発光維持行程I13とI14の間で夫々画素データ書込行程Wcを実行する。すなわち、一斉リセット行程Rcと分割発光維持行程I1の間では、全表示ラインに対して1表示ライン分ずつ画素データの書き込み走査を行う。

【0031】又、分割発光維持行程I1とI2の間、I2とI3の間、I3とI4の間、I4とI5の間では、輝度分布が図4のパターンA又はパターンBを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンC、又はパターンDを示す表示ラインに対しては画素データの書き込み走査は行なわれず、スキップする。

【0032】又、分割発光維持行程I5とI6の間では、輝度分布が図4のパターンCを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンA、B、又はDを示す表示ラインに対しては画素データの書き込み走査は行われず、スキップする。又、分割発光維持行程I6とI7の間では、輝度分布が図4のパターンAを示す表示ライン上の放電セルに対してのみに、

上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンB、C、Dを示す表示ラインに対しては画素データの書き込み走査は行われず、スキップする。

【0033】又、分割発光維持行程I7とI8の間では、輝度分布が図4のパターンCを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンA、B、又はDを示す表示ラインに対しては画素データの書き込み走査は行われず、スキップする。又、分割発光維持行程I8とI9の間では、輝度分布が図4のパターンA及びDを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンB、又はCを示す表示ラインに対しては画素データの書き込み走査は行われず、スキップする。

【0034】又、分割発光維持行程I9とI10の間では、輝度分布が図4のパターンCを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンA、B、又はDを示す表示ラインに対しては画素データの書き込み走査は行われず、スキップする。又、分割発光維持行程I10とI11の間では、輝度分布が図4のパターンA及びDを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンB、又はCを示す表示ラインに対しては画素データ書き込み走査は行われず、スキップする。

【0035】又、分割発光維持行程I11とI12の間では、輝度分布が図4のパターンCを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンA、B、又はDを示す表示ラインに対しては画素データ書き込み走査は行われず、スキップする。又、分割発光維持行程I12とI13の間では、輝度分布が図4のパターンA及びDを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンB、又はCを示す表示ラインに対しては画素データ書き込み走査は行われず、スキップする。

【0036】そして、分割発光維持行程I13とI14の間では、輝度分布が図4のパターンA及びDを示す表示ライン上の放電セルに対してのみに、上述した如き画素データの書き込み走査が実施される。この際、輝度分布が図4のパターンB、又はCを示す表示ラインに対しては画素データ書き込み走査は行われず、スキップする。

尚、分割発光維持行程間には、図12中の傾斜部に示されるが如き、各々が書き込み走査に費やされる時間と同一時間だけ発光状態を停止する非発光期間NEが設けられている。従って、夫々の間に画素データ書込行程W



cが存在しない分割発光維持行程同士をまとめて一つの発光維持行程Icとすると、図12(a)に示される発光駆動フォーマットでは、1フィールドの表示期間がサブフィールドSF1～SF10からなる10個のサブフィールド構成となる。よって、1フィールドの表示期間内での1表示ラインに対する書き込み走査の回数は10回となる。一方、図12(b)～図12(d)に示される発光駆動フォーマットでは、1フィールドの表示期間がサブフィールドSF1～SF5からなる5個のサブフィールド構成となる。よって、1フィールドの表示期間内での1

【0037】アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々は、これら一斉リセット行程Rc、画素データ書込行程Wc、発光維持行程Ic、消去行程E各々での上記動作を実現すべく、PDP10の列電極D1～Dm、行電極X1～Xn及びY1～Yn各々に各種駆動パルスを加する。図13は、かかる駆動パルスの印加タイミングの一例を示す図である。

【0038】尚、図13においては、図12(a)の発光駆動フォーマットにおける先頭のサブフィールドSF1及びSF2各々での印加タイミングのみを抜粋して示している。まず、一斉リセット行程Rcにおいて、第1サスティンドライバ7及び第2サスティンドライバ8は、負極性のリセットパルスRPx及び正極性のリセットパルスRPyを発生して行電極X1～Xn及びY1～Ynに同時に印加する。これらリセットパルスRPx及びRPyの印加により、PDP10中の全ての放電セルがリセット放電され、各放電セル内には一様に所定の壁電荷が形成される。すなわち、PDP10における全ての放電セルは、一旦、“発光セル”に初期設定されるのである。

【0039】次に、画素データ書込行程Wcでは、アドレスドライバ6が、上記メモリ4から供給された駆動画素データビットDBの論理レベルに対応した電圧を有する画素データパルスを生成し、これを1表示ライン分毎に列電極D1～Dmに印加して行く。例えば、サブフィールドSF1においては、上記駆動画素データビット群GDA-1の中から先ず第1行目に対応した分、つまり駆動画素データビットDB11、DB12、DB13、……、DB1mを抽出する。そして、これらDB各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP11を生成して列電極D1～Dmに印加する。次に、上記駆動画素データビット群GDA-1の中から第2行目に対応した駆動画素データビットDB11、DB12、DB13、……、DB1m各々を抽出する。そして、これらDB各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP12を生成して列電極D1～Dmに印加する。以下、同様にして、1表示ライン分毎の画素データパルス群DP13～DP1nを順次列電極D1～Dmに印加して行くのである。又、サ

ブフィールドSF2においては、上記駆動画素データビット群GDA-2の中から先ず第1行目に対応した駆動画素データビットDB11、DB12、DB13、……、DB1mを抽出する。そして、これらDB各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP21を生成して列電極D1～Dmに印加する。次に、上記駆動画素データビット群GDA-2の中から第2行目に対応した駆動画素データビットDB11、DB12、DB13、……、DB1m各々を抽出する。そして、これらDB各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP22を生成して列電極D1～Dmに印加する。以下、同様にして、1表示ライン分毎の画素データパルス群DP23～DP2nを順次列電極D1～Dmに印加して行くのである。

【0040】尚、アドレスドライバ6は、駆動画素データビットDBの論理レベルが“1”である場合には高電圧の画素データパルスを生成し、“0”である場合には低電圧(0ボルト)の画素データパルスを生成するものとする。更に、画素データ書込行程Wcでは、第2サスティンドライバ8が、各画素データパルス群DPの印加タイミングと同一タイミングにて、図13に示されるが如き負極性の走査パルスSPを行電極Y1～Ynへと順次印加して行く。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。かかる選択消去放電により、上記一斉リセット行程Rcにて“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移する。尚、上記高電圧の画素データパルスが印加されなかった“列”に形成されている放電セルには放電が生起されず、上記一斉リセット行程Rcにて初期化された状態、つまり“発光セル”の状態が保持される。すなわち、各サブフィールドで実施される画素データ書込行程Wcにより、各放電セルは、その後の発光維持行程Icにおいて維持放電が生起される“発光セル”、又は維持放電の生起されない“非発光セル”に設定されるのである。

【0041】次に、発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8が、行電極X1～Xn及びY1～Ynに対して図13に示されるように交互に正極性の維持パルスIPx及びIPyを印加する。尚、上記非発光区間NEでは維持パルスIPx及びIPyの印加を停止し、かかる非発光区間NEの後、維持パルスIPx及びIPyの交互印加を再開する。この際、上記画素データ書込行程Wcにて壁電荷が残留したままとなっている放電セル、すなわち“発光セル”のみに、上記維持パルスIPx及びIPyが印加される度に維持放電が生起される。つまり、かかる維持放電が断続的に生起されている間、その維持放電に伴う発光状態が維持されるのである。

【0042】以上の如き画素データ書込行程Wc及び発光維持行程Icを、その他のサブフィールドに対しても同様に実施する。ここで、駆動制御回路2は、1表示ライン分の画素データに対する輝度分布が図4のパターンAとなる場合、つまり1表示ライン上での輝度レベルが“0”～“255”なる全輝度範囲内に均一に分布している場合には、この1表示ラインに対して図12(a)に示される発光駆動フォーマットに従った階調駆動を実施する。従って、第1サスティンドライバ7及び第2サスティンドライバ8の各々は、図12(a)に示される10個のサブフィールドSF1～SF10各々内の発光維持行程Icにおいて、

SF1:2 (分割発光維持行程I1の発光回数)  
 SF2:5 (分割発光維持行程I2の発光回数)  
 SF3:11 (分割発光維持行程I3の発光回数)  
 SF4:16 (分割発光維持行程I4の発光回数)  
 SF5:22 (分割発光維持行程I5～I6の発光回数の合計)  
 SF6:27 (分割発光維持行程I7～I8の発光回数の合計)  
 SF7:34 (分割発光維持行程I9～I10の発光回数の合計)  
 SF8:40 (分割発光維持行程I11～I12の発光回数の合計)  
 SF9:46 (分割発光維持行程I13の発光回数)  
 SF10:52 (分割発光維持行程I14の発光回数)  
 なる回数分だけ維持パルスIPをPDP10に印加する。

【0043】又、1表示ライン分の画素データに対する輝度分布が図4のパターンBとなる場合、つまり1表示ライン上での輝度分布が低輝度レベル範囲内に偏っている場合には、駆動制御回路2は、この1表示ラインに対して図12(b)に示される発光駆動フォーマットに従った階調駆動を実施する。従って、第1サスティンドライバ7及び第2サスティンドライバ8の各々は、図12(b)に示される5つのサブフィールドSF1～SF5各々内の発光維持行程Icにおいて、

SF1:2 (分割発光維持行程I1の発光回数)  
 SF2:5 (分割発光維持行程I2の発光回数)  
 SF3:11 (分割発光維持行程I3の発光回数)  
 SF4:16 (分割発光維持行程I4の発光回数)  
 SF5:22 (分割発光維持行程I5～I14の発光回数の合計)

なる回数分だけ維持パルスIPをPDP10に印加する。

【0044】又、1表示ライン分の画素データに対する輝度分布が図4のパターンCとなる場合、つまり1表示ライン上での輝度分布が中輝度レベル範囲内に偏っている場合には、駆動制御回路2は、この1表示ラインに対して図12(c)に示される発光駆動フォーマットに従っ

た階調駆動を実施する。従って、第1サスティンドライバ7及び第2サスティンドライバ8の各々は、図12(c)に示される5つのサブフィールドSF1～SF5各々内の発光維持行程Icにおいて、

SF1:44 (分割発光維持行程I1～I5の発光回数の合計)  
 SF2:25 (分割発光維持行程I6～I7の発光回数の合計)  
 SF3:30 (分割発光維持行程I8～I9の発光回数の合計)  
 SF4:37 (分割発光維持行程I10～I11の発光回数の合計)  
 SF5:119 (分割発光維持行程I12～I14の発光回数の合計)

なる回数分だけ維持パルスIPを印加する。

【0045】又、1表示ライン分の画素データに対する輝度分布が図4のパターンDとなる場合、つまり1表示ラインの輝度分布が高輝度レベル範囲内に偏っている場合には、駆動制御回路2は、この1表示ラインに対して図12(d)に示される発光駆動フォーマットに従った階調駆動を実施する。従って、第1サスティンドライバ7及び第2サスティンドライバ8の各々は、図12(d)に示される5つのサブフィールドSF1～SF5各々内の発光維持行程Icにおいて、

SF1:83 (分割発光維持行程I1～I8の発光回数の合計)  
 SF2:34 (分割発光維持行程I9～I10の発光回数の合計)  
 SF3:40 (分割発光維持行程I11～I12の発光回数の合計)  
 SF4:46 (分割発光維持行程I13の発光回数)  
 SF5:52 (分割発光維持行程I14の発光回数)  
 なる回数分だけ維持パルスIPを印加する。

【0046】これにより、PDP10の画面上には、上記サブフィールドSF各々の維持発光行程Icにおいて生起される維持放電の合計回数に応じた表示輝度が現れる。尚、各サブフィールドの維持発光行程Icにおいて上述した如き維持放電を生起させるか否かは、そのサブフィールド内の画素データ書込行程Wcで選択消去放電を生起させるか否かにより決定する。図10及び図11に示される駆動画素データGDによれば、黒丸に示されるが如く、1フィールド中における各サブフィールドSFの内の1つのサブフィールドでの画素データ書込行程Wcにおいてのみで選択消去放電が生起される。よって、先頭サブフィールドSF1の一斉リセット行程Rcで形成された壁電荷は上記選択消去放電が生起されるまでの間残留し、各放電セルは“発光セル”の状態を維持する。つまり、その間に存在するサブフィールド各々(白丸にて示す)の発光維持行程Icで、発光を伴う維持放電が生起されることになる。ここで、駆動画素データGD

は、1表示ライン分の画素データに対する輝度分布が図4のパターンA、つまり1表示ライン上での輝度レベルが全輝度レベル範囲内に均一に分布している場合には、図10に示されるが如き11パターンとなる。一方、1表示ライン分の画素データに対する輝度分布が図4のパターンA以外、つまり1表示ライン上での輝度レベルがある輝度レベル範囲内に偏って分布している場合には、図11に示されるが如き6パターンとなる。

【0047】従って、1表示ライン上での輝度レベルが全輝度レベル範囲内に均一に分布している場合には、この1表示ラインに対しては図12(a)の発光駆動フォーマットに基づく駆動が実施されるので、図10に示される10系統の発光駆動パターンによると、

{0, 2, 7, 18, 34, 56, 83, 117, 157, 203, 255}

なる11階調分の間中表示輝度が得られる。

【0048】つまり、“0”~“255”なる全輝度範囲を階調駆動の対象とした11階調分の階調駆動を行うのである。一方、1表示ライン上での輝度分布が低輝度レベル範囲内に偏っている場合には、図12(b)の発光駆動フォーマットに基づく駆動が実施されるので、図11に示される6系統の発光駆動パターンによると、

{0, 2, 7, 18, 34, 255}

なる6階調分の間中表示輝度が得られる。

【0049】つまり、“0”~“128”なる低輝度レベル範囲のみを階調駆動の対象とした6階調分の階調駆動を行うのである。又、1表示ライン上での輝度分布が中輝度レベル範囲内に偏っている場合には、図12(c)の発光駆動フォーマットに基づく階調駆動が実施されるので、図11に示される6系統の発光駆動パターンによると、

{0, 44, 69, 99, 136, 255}

なる6階調分の間中表示輝度が得られる。

【0050】つまり、“64”~“192”なる中輝度レベル範囲のみを階調駆動の対象とした6階調分の階調駆動を行うのである。そして、1表示ライン上での輝度分布が高輝度レベル範囲内に偏っている場合には、図12(d)の発光駆動フォーマットに基づく階調駆動が実施されるので、図11に示される6系統の発光駆動パターンによると、

{0, 83, 117, 157, 203, 255}

なる6階調分の間中表示輝度が得られる。

【0051】つまり、“128”~“255”なる高輝度レベル範囲のみを階調駆動の対象とした6階調分の階調駆動を行うのである。尚、上記10階調、又は6階調分の間中輝度レベル以外の輝度レベルは、前述した多階調化処理回路33によって擬似的に得られる。上記実施例においては、1フィールド分の各表示ラインにおける累積頻度データACに基づいて各輝度分布パターンのライン数の比率を求め、それに応じて各表示ラインにおける発光駆動フォーマットを設定している。そして、この発光

駆動フォーマットに基づき、第1データ変換回路の変換特性(第1データ変換テーブル)及び第2データ変換回路34の変換特性(第2データ変換テーブル)を生成し、多階調化処理回路33における圧縮ビット数を設定している。

【0052】例えば、PDPの駆動装置の能力が、1フィールドの表示期間を7個のサブフィールドに分割して階調表示することが可能な場合、この1ライン当りの平均7個のサブフィールド(1ライン当りの平均スキャン回数が7)を基準にして、そのサブフィールドの数を変更する。例えば、1表示ライン分の入力映像信号に輝度レベルが全輝度範囲において均一に分布している場合には、その1表示ラインに対して上記平均サブフィールド数より多い10個のサブフィールドを割り当てて階調駆動を行ない、その階調表現を向上させる。一方、1表示ライン分の入力映像信号の輝度レベルが高、中、低輝度レベル範囲内のいずれかに偏って分布している場合には、その1表示ラインに対して上記平均サブフィールド数より少ない5個のサブフィールドを割り当てて6階調駆動を行なう。この際、1表示ライン分の入力映像信号に輝度レベルが比較的狭い範囲に分布している場合には、割り当てるべきサブフィールドの数を減らしても階調表現力が低下することはない。

【0053】以上の如く、本発明においては、1表示ライン分の入力映像信号における輝度分布に応じて、1表示ライン毎に、1フィールド表示期間内でのサブフィールド数を変更するようにしている。よって、入力映像信号の画像内容に応じてライン毎に最適な階調表示を行なうことが出来る。尚、上記実施例では、1フィールド分の各表示ラインにおける輝度分布が図4の4つのパターンA~Dのいずれかをとり場合について説明したが、実際の映像信号では輝度分布のパターンは無数にある。従って、それらのパターンのライン数の比率を算出し、それに応じて1フィールド表示期間内におけるトータルの画素データ書込み行程の時間がほぼ一定となるように各表示ラインにおける発光駆動フォーマット(分割サブフィールド数)を設定することになる。

【0054】又、上記実施例においては、入力映像信号の輝度分布を1表示ライン毎に測定し、この1表示ライン毎に、1フィールド表示期間内でのサブフィールドの数を変更するようにしているが、これを複数の表示ライン群毎に実施するようにしても良い。すなわち、入力映像信号の輝度分布を複数表示ライン単位で測定し、この複数表示ライン群毎に、1フィールド表示期間内でのサブフィールドの数を変更するようにしても良い。

【0055】又、入力映像信号の輝度分布を複数ライン単位で測定し、それに応じて1表示ライン毎に1フィールド表示期間内でのサブフィールドの数を変更するようにしても良い。又、上記実施例においては、図10及び図11に示されるように各サブフィールドSFの内のい

ずれか 1 の画素データ書込行程  $Wc$  においてのみで選択消去放電を生起させるようにしている。しかしながら、放電セル内に残留する荷電粒子の量が少ないと、選択消去放電が良好に生起されず、画素データの書き込みが正常に為されなくなるという場合がある。そこで、図 10 に示されている第 2 データ変換回路 34 の変換テーブル及び発光駆動パターンに代わり、図 14 に示されるものを採用する。更に、図 11 に示されている第 2 データ変換回路 34 の変換テーブル及び発光駆動パターンに代わり、図 15 に示されるものを採用する。これら図 14 及び図 15 に示される発光駆動パターンによれば、各放電セルに対して同一の選択消去放電を複数回連続して実施させるので、選択消去放電が確実に生起され、正しく画素データの書込が為されるようになるのである。

【0056】尚、上記実施例においては、画素データの書込方法として、予め各放電セルに壁電荷を形成させておき、画素データに応じて選択的にその壁電荷を消去することにより画素データの書込を為す、いわゆる選択消去アドレス法を採用した場合について述べた。しかしながら、本発明は、画素データの書込方法として、画素データに応じて選択的に壁電荷を形成するようにした、いわゆる選択書込アドレス法を採用した場合についても同様に適用可能である。

【0057】図 16(a)～図 16(d) は、上記選択書込アドレス法を採用して PDP 10 を階調駆動する際に用いる発光駆動フォーマットを示す図である。又、図 17 及び図 18 は、かかる選択書込アドレス法を採用した場合に第 2 データ変換回路 34 において用いられる変換テーブルと、発光駆動パターンとを示す図である。尚、図 17 は、図 10 に示されるものを選択書込アドレス法に適用させた場合に第 2 データ変換回路 34 において用いられる変換テーブル、及び発光駆動パターンを示す図である。又、図 18 は、図 11 に示されるものを選択書込アドレス法に適用させた場合に第 2 データ変換回路 34 において用いられる変換テーブル、及び発光駆動パターンを示す図である。

【0058】ここで、選択書込アドレス法を採用した場合には、図 16(a)～図 16(d) に示されるように、選択消去アドレス法を採用した場合でのサブフィールド  $SF$  の配列を反転させている。すなわち、サブフィールド  $SF10$  (又は  $SF5$ ) を先頭サブフィールドにし、サブフィールド  $SF1$  を最後尾のサブフィールドにするのである。尚、各サブフィールドで、画素データ書込行程  $Wc$  及び発光維持行程  $Ic$  を実行し、先頭のサブフィールドのみで一斉リセット行程  $Rc$  を実施する点は、図 12(a)～図 12(c) に示されるが如き選択消去アドレス法を採用した場合と同様である。

【0059】かかる選択書込みアドレス法に従った階調駆動を実施するにあたり、駆動制御回路 2 は、各輝度分布パターンのライン数の比率に応じて各表示ラインにお

ける発光駆動フォーマットを設定する。例えば入力映像信号の各表示ラインにおける輝度分布が図 4 に示される 4 つのパターンをとり、その比率が同程度である場合には駆動制御回路 2 は、以下の如く発光駆動フォーマットの設定を行う。つまり、駆動制御回路 2 は、1 表示ライン分の画素データに対する輝度分布が図 4 のパターン A となる表示ラインに対しては図 16(a) の如き 10 個のサブフィールドからなる発光駆動フォーマットに設定する。又、1 表示ライン分の画素データに対する輝度分布が図 4 のパターン B となる表示ラインに対しては図 16(b) に示される 5 個のサブフィールドからなる発光駆動フォーマットに設定する。又、1 表示ライン分の画素データに対する輝度分布が図 4 のパターン C となる表示ラインに対しては図 16(c) に示される 5 個のサブフィールドからなる発光駆動フォーマットに設定する。そして、1 表示ライン分の画素データに対する輝度分布が図 4 のパターン D となる表示ラインに対しては図 16(d) に示される 5 個のサブフィールドからなる発光駆動フォーマットに設定する。

【0060】そして、駆動制御回路 2 は、この設定した発光駆動フォーマットに従って PDP 10 を階調駆動すべき各種タイミング信号をアドレスドライバ 6、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 の各々に供給する。図 19 は、かかる選択書込アドレス法を採用した場合に、アドレスドライバ 6、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 各々が PDP 10 に印加する各種駆動パルスの印加タイミングを示す図である。

【0061】尚、図 19 においては、図 16(a) におけるサブフィールド  $SF5$  での印加タイミングのみを抜粋して示している。図 19 において、一斉リセット行程  $Rc$  では、第 1 サスティンドライバ 7 及び第 2 サスティンドライバ 8 が PDP 10 の行電極  $X$  及び  $Y$  にリセットパルス  $RPx$  及び  $RPy$  を印加した直後に、第 1 サスティンドライバ 7 が消去パルス  $EP$  を行電極  $X1 \sim Xn$  に一斉に印加する。かかる消去パルスの印加により消去放電が生起され、全ての放電セル内に形成されていた壁電荷は消滅する。すなわち、図 16 に示されるが如き選択書込アドレス法を採用した際の一斉リセット行程  $Rc$  では、PDP 10 における全ての放電セルは、“非発光セル”の状態に初期化される。

【0062】画素データ書込行程  $Wc$  では、選択消去アドレス法を採用した場合と同様に、アドレスドライバ 6 が、駆動画素データビット  $DB$  の論理レベルに応じた電圧を有する 1 行分毎の画素データパルス群  $DP$  を生成し、これを 1 行分毎に順次列電極  $D1 \sim Dn$  に印加して行く。更に、画素データ書込行程  $Wc$  では、第 2 サスティンドライバ 8 が、上述した如き画素データパルス群  $DP$  の各印加タイミングと同一タイミングにて、負極性の走査パルス  $SP$  を発生し、これを行電極  $Y1 \sim Yn$  へと順次

印加して行く。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電（選択書込放電）が生じ、その放電セル内に壁電荷が形成される。つまり、図17及び図18に示されるが如き駆動画素データGD中における論理レベル“1”のビット桁に対応したサブフィールドでの画素データ書込行程Wcにおいてのみ上記選択書込放電が生起されるのである。かかる選択書込放電によれば、上記一斉リセット行程Rcにて“非発光セル”の状態に初期化された放電セルは、“発光セル”の状態に推移する。尚、高電圧の画素データパルスが印加されなかった“列”に形成されている放電セルには放電が生起されず、上記一斉リセット行程Rcにて初期化された状態、つまり“非発光セル”の状態が保持される。

【0063】そして、発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8が、行電極X<sub>1</sub>～X<sub>n</sub>及びY<sub>1</sub>～Y<sub>n</sub>に対して図19に示されるが如く交互に正極性の維持パルスIPx及びIPyを印加する。かかる維持パルスIPの印加により、上記画素データ書込行程Wcにおいて壁電荷が形成された放電セル、すなわち“発光セル”のみが上記維持パルスIPx及びIPyが印加される度に維持放電して、その放電に伴う発光状態を維持する。この際、図17及び図18に示される駆動画素データGDによれば、選択書込放電が実施されたサブフィールド（黒丸にて示す）及びそれ以降に存在するサブフィールド（白丸にて示す）各々での発光維持行程Icにおいて、図16(a)～図16(d)中に記述されている回数（期間）だけ発光が維持される。

【0064】又、上述した如き選択書込アドレス法を採用した場合にも選択消去アドレス法を採用した場合と同様に、各放電セルに対して同一の選択書込放電を複数回連続して実施させることにより、画素データの書き込み精度を高めることが出来る。図20及び図21は、各放電セルに対して同一の選択書込放電を2回連続して実施する際に、第2データ変換回路34で採用される変換テーブル、並びに発光駆動パターンを示す図である。

#### 【0065】

【発明の効果】以上詳述した如く、本発明においては、各表示ライン分（又は複数の表示ライン分）毎に入力映像信号の輝度分布を測定し、この輝度分布に応じて、表示ライン（又は複数の表示ライン）毎に1フィールド表示期間内でのサブフィールドの数を変更するようにしている。これにより、入力映像信号の絵柄に応じた最適な階調表示を行うことができる。

#### 【図面の簡単な説明】

【図1】本発明による駆動方法に従ってプラズマディスプレイパネルを階調駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図2】1Hライン輝度分布解析回路3の内部構成を示す図である。

【図3】輝度分布メモリ300のメモリマップを示す図である。

【図4】輝度分布分離回路303における輝度分布の分類形態の一例を示す図である。

【図5】1表示ライン上における映像信号の輝度レベルの一例を示す図である。

【図6】1表示ライン分の映像信号における各輝度レベル毎の頻度の一例を示す図である。

【図7】1表示ライン分の映像信号における累積頻度の一例を示す図である。

【図8】データ変換回路30の内部構成を示す図である。

【図9】第1データ変換回路32によるデータ変換特性を示す図である。

【図10】1表示ライン分の画素データに対する輝度分布が図4のパターンAとなる場合に第2データ変換回路34で採用されるデータ変換テーブルと、発光駆動パターンを示す図である。

【図11】1表示ライン分の画素データに対する輝度分布が図4のパターンB～Dのいずれかとなる場合に第2データ変換回路34で採用されるデータ変換テーブルと、発光駆動パターンを示す図である。

【図12】本発明による駆動方法に基づく発光駆動フォーマットの一例を示す図である。

【図13】図12に示される発光駆動フォーマットに従ってPDP10を階調駆動する際に印加する各種駆動パルスの印加タイミングを示す図である。

【図14】1表示ライン分の画素データに対する輝度分布が図4のパターンAとなる場合に第2データ変換回路34で採用されるデータ変換テーブルと、発光駆動パターンの他の一例を示す図である。

【図15】1表示ライン分の画素データに対する輝度分布が図4のパターンB～Dのいずれかとなる場合に第2データ変換回路34で採用されるデータ変換テーブルと、発光駆動パターンの他の一例を示す図である。

【図16】選択書込アドレス法を採用した場合に用いられる発光駆動フォーマットの一例を示す図である。

【図17】選択書込アドレス法を採用した場合に、1表示ライン分の画素データに対する輝度分布が図4のパターンAとなるとときに第2データ変換回路34で用いるデータ変換テーブルと、発光駆動パターンの一例を示す図である。

【図18】選択書込アドレス法を採用した場合に、1表示ライン分の画素データに対する輝度分布が図4のパターンB～Dのいずれかとなるとときに第2データ変換回路34で用いるデータ変換テーブルと、発光駆動パターンの一例を示す図である。

【図19】図16に示される発光駆動フォーマットに従ってPDP10を階調駆動する際に印加する各種駆動パルスの印加タイミングを示す図である。

【図20】選択書込アドレス法を採用した場合に、第2データ変換回路34で用いるデータ変換テーブル、並びに発光駆動パターン他の一例を示す図である。

【図21】選択書込アドレス法を採用した場合に、第2データ変換回路34で用いるデータ変換テーブル、並びに発光駆動パターン他の一例を示す図である。

【主要部分の符号の説明】

2 駆動制御回路

3 1Hライン輝度分布解析回路

6 アドレスドライバ

7 第1サスティンドライバ

8 第2サスティンドライバ

10 PDP

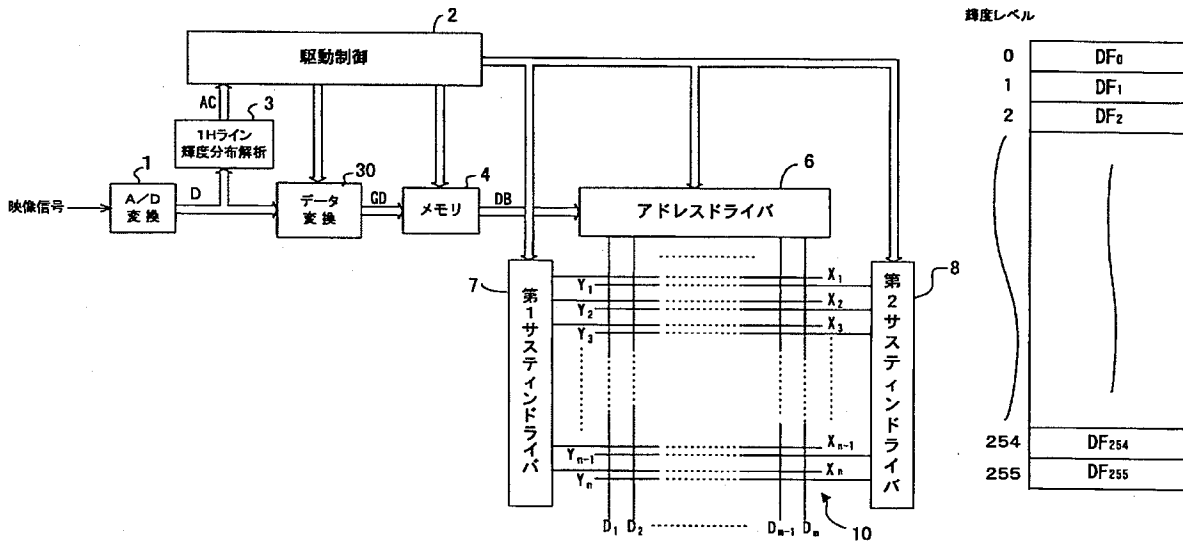
30 データ変換回路

32 第1データ変換回路

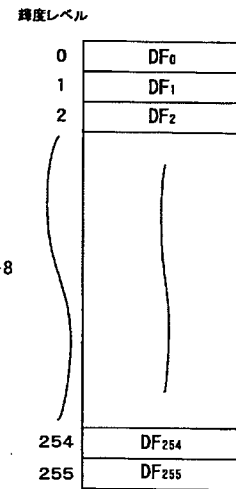
33 多階調化処理回路

34 第2データ変換回路

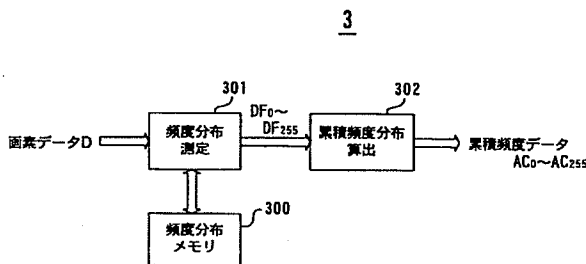
【図1】



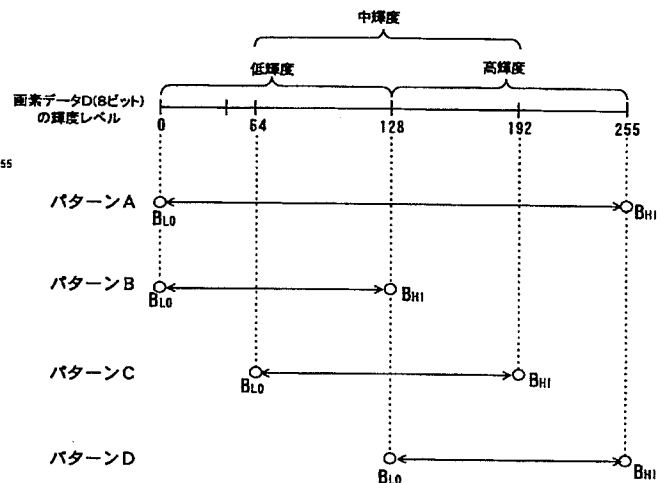
【図3】



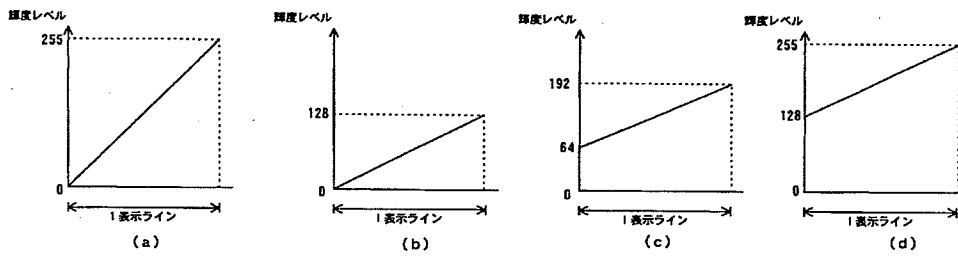
【図2】



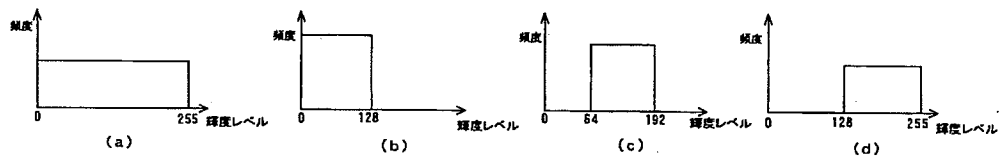
【図4】



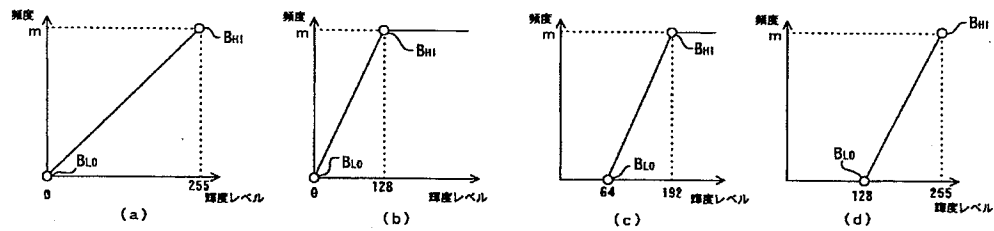
【図5】



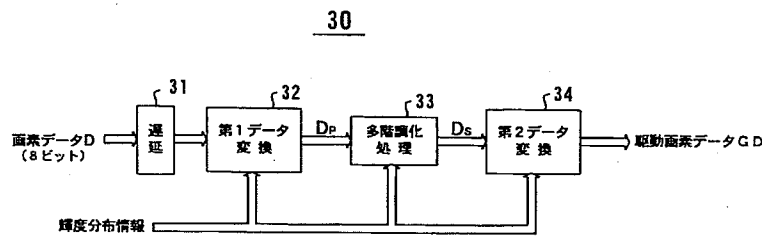
【図6】



【図7】



【図8】



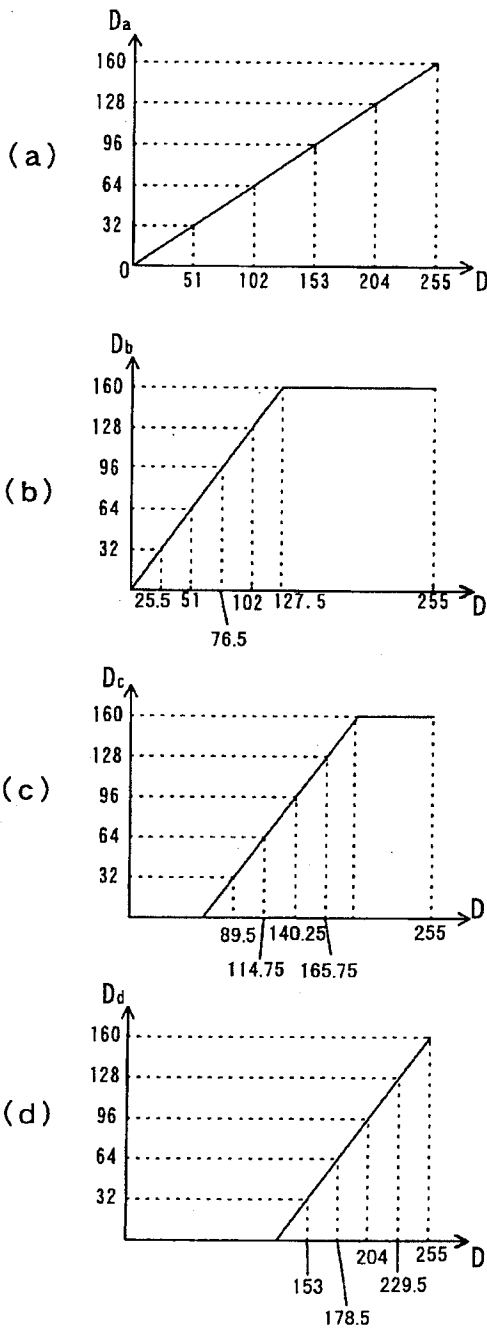
【図11】

[選択消去]

階調	第2データ変換回路34の変換テーブル					発光駆動パターン					表示輝度		
	Ds	GD					SF	SF	SF	SF	(b)	(c)	(d)
1	000	1	0	0	0	0	●				0	0	0
2	001	0	1	0	0	0	○	●			2	44	83
3	010	0	0	1	0	0	○	○	●		7	69	117
4	011	0	0	0	1	0	○	○	○	●	18	99	157
5	100	0	0	0	0	1	○	○	○	○	34	136	203
6	101	0	0	0	0	0	○	○	○	○	255	255	255

黒丸: 選択消去放電  
白丸: 発光

【図9】



【図10】

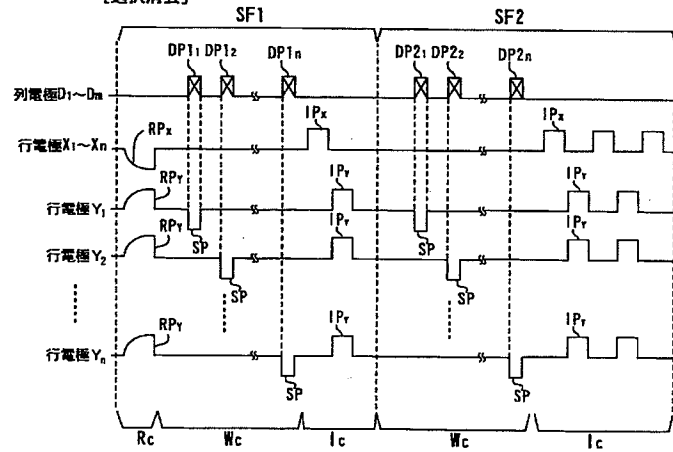
【選択消去】

階級	Ds	第2データ変換回路34の 変換テーブル										発光駆動パターン										表示輝度 (a)
		1	2	3	4	5	6	7	8	9	10	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	
1	0000	1	0	0	0	0	0	0	0	0	0	●	○	○	○	○	○	○	○	○	○	0
2	0001	0	1	0	0	0	0	0	0	0	0	○	●	○	○	○	○	○	○	○	○	2
3	0010	0	0	1	0	0	0	0	0	0	0	○	○	●	○	○	○	○	○	○	○	7
4	0011	0	0	0	1	0	0	0	0	0	0	○	○	○	●	○	○	○	○	○	○	18
5	0100	0	0	0	0	1	0	0	0	0	0	○	○	○	○	●	○	○	○	○	○	34
6	0101	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	●	○	○	○	○	56
7	0110	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	●	○	○	83
8	0111	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	●	117
9	1000	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	157
10	1001	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	203
11	1010	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	255

黒丸:選択消去放電  
白丸:発光

【図13】

【選択消去】



【図14】

【選択消去】

階級	Ds	第2データ変換回路34の 変換テーブル										発光駆動パターン										表示輝度 (a)
		1	2	3	4	5	6	7	8	9	10	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	
1	0000	1	1	0	0	0	0	0	0	0	0	●	●	○	○	○	○	○	○	○	○	0
2	0001	0	1	1	0	0	0	0	0	0	0	○	○	●	○	○	○	○	○	○	○	2
3	0010	0	0	1	1	0	0	0	0	0	0	○	○	○	●	○	○	○	○	○	○	7
4	0011	0	0	0	1	1	0	0	0	0	0	○	○	○	○	●	○	○	○	○	○	18
5	0100	0	0	0	0	1	1	0	0	0	0	○	○	○	○	○	●	○	○	○	○	34
6	0101	0	0	0	0	0	1	1	0	0	0	○	○	○	○	○	○	○	●	○	○	56
7	0110	0	0	0	0	0	0	1	1	0	0	○	○	○	○	○	○	○	○	○	○	83
8	0111	0	0	0	0	0	0	0	1	1	0	○	○	○	○	○	○	○	○	○	○	117
9	1000	0	0	0	0	0	0	0	0	1	1	○	○	○	○	○	○	○	○	○	○	157
10	1001	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	203
11	1010	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	255

黒丸:選択消去放電  
白丸:発光



Figure 1 consists of four panels (a, b, c, d) showing the organization of human collagen genes. Each panel displays a series of boxes representing exons, numbered 2 through 52. Above the boxes are labels for splice forms (SF1, SF2, SF3, SF4, SF5, SF6, SF7, SF8, SF9, SF10) and below are labels for exons (I1, I2, I3, I4, I5, I6, I7, I8, I9, I10, I11, I12, I13, I14). Panel (a) shows the full gene structure with 14 exons and 10 splice forms. Panel (b) shows the alpha 1(I) gene structure with 14 exons and 5 splice forms. Panel (c) shows the alpha 2(I) gene structure with 14 exons and 5 splice forms. Panel (d) shows the alpha 1(I) gene structure with 14 exons and 5 splice forms. The boxes are filled with different patterns: white, diagonal lines, and stippling. The labels R<sub>c</sub>, W<sub>c</sub>, I<sub>c</sub>, and E are placed below the boxes.

【図 17】

階層	第2データ変換回路34の 変換テーブル										表示輝度			
	Ds	GD					発光駆動パターン					(b)	(c)	(d)
		1	2	3	4	5	SF	SF	SF	SF	SF			
1	000	1	1	0	0	0	●	●				0	0	0
2	001	0	1	1	0	0	○	●	●			2	44	83
3	010	0	0	1	1	0	○	○	●	●		7	89	117
4	011	0	0	0	1	1	○	○	○	●	●	18	99	157
5	100	0	0	0	0	1	○	○	○	○	●	34	136	203
6	101	0	0	0	0	0	○	○	○	○	○	255	255	255

階層	第2データ変換回路34の 変換テーブル											発光駆動パターン											表示輝度 (a)	
	Ds	GD										SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF		
		10	9	8	7	6	5	4	3	2	1													
1	0000	0	0	0	0	0	0	0	0	0	0													0
2	0001	0	0	0	0	0	0	0	0	0	1												●	2
3	0010	0	0	0	0	0	0	0	0	1	0											●	○	7
4	0011	0	0	0	0	0	0	1	0	0	0											●	○	18
5	0100	0	0	0	0	0	1	0	0	0	0											●	○	34
6	0101	0	0	0	0	1	0	0	0	0	0											●	○	56
7	0110	0	0	0	1	0	0	0	0	0	0											●	○	83
8	0111	0	0	0	1	0	0	0	0	0	0											●	○	117
9	1000	0	0	1	0	0	0	0	0	0	0											●	○	157
10	1001	0	1	0	0	0	0	0	0	0	0											●	○	203
11	1010	1	0	0	0	0	0	0	0	0	0											●	○	255

【図 20】

階調	第2データ交換回路34の 交換テーブル					発光駆動パターン					表示輝度		
	D <sub>2</sub>	GD				SF	SF	SF	SF	SF	(b)	(c)	(d)
		5	4	3	2								
1	000	0	0	0	0	0					0	0	0
2	001	0	0	0	0	1				●	2	44	83
3	010	0	0	0	1	0				●	7	69	117
4	011	0	0	1	0	0				●	18	99	157
5	100	0	1	0	0	0				●	34	136	203
6	101	1	0	0	0	0				●	255	255	255

[illegible]

黑丸:選択書込放電+発光  
白丸:発光

(a) Full construct: SF10 (I<sub>14</sub>, 52, Rc, Wc, Ic), SF9 (I<sub>13</sub>, 46, Wc, Ic), SF8 (I<sub>12</sub>, 21, ME, 19, Ic), SF7 (I<sub>10</sub>, 18, Ic), SF6 (I<sub>8</sub>, 14, Ic), SF5 (I<sub>6</sub>, 12, Ic), SF4 (I<sub>4</sub>, 16, Wc, Ic), SF3 (I<sub>2</sub>, 11, Ic), SF2 (I<sub>1</sub>, 5, Ic), SF1 (I<sub>1</sub>, 2, Ic, Ec).

(b) Construct with deletion in SF5: SF5 (I<sub>14</sub>, 52, Rc, Wc, Ic), SF4 (I<sub>13</sub>, 46, Ic), SF3 (I<sub>12</sub>, 21, ME, 19, Ic), SF2 (I<sub>10</sub>, 18, Ic), SF1 (I<sub>8</sub>, 14, Ic), SF5 (I<sub>6</sub>, 12, Ic), SF4 (I<sub>4</sub>, 16, Wc, Ic), SF3 (I<sub>2</sub>, 11, Ic), SF2 (I<sub>1</sub>, 5, Ic), SF1 (I<sub>1</sub>, 2, Ic, Ec).

(c) Construct with deletion in SF4: SF5 (I<sub>14</sub>, 52, Rc, Wc, Ic), SF4 (I<sub>13</sub>, 46, Ic), SF3 (I<sub>12</sub>, 21, ME, 19, Ic), SF2 (I<sub>10</sub>, 18, Ic), SF1 (I<sub>8</sub>, 14, Ic), SF5 (I<sub>6</sub>, 12, Ic), SF4 (I<sub>4</sub>, 16, Wc, Ic), SF3 (I<sub>2</sub>, 11, Ic), SF2 (I<sub>1</sub>, 5, Ic), SF1 (I<sub>1</sub>, 2, Ic, Ec).

(d) Construct with deletion in SF3: SF5 (I<sub>14</sub>, 52, Rc, Wc, Ic), SF4 (I<sub>13</sub>, 46, Ic), SF3 (I<sub>12</sub>, 21, ME, 19, Ic), SF2 (I<sub>10</sub>, 18, Ic), SF1 (I<sub>8</sub>, 14, Ic), SF5 (I<sub>6</sub>, 12, Ic), SF4 (I<sub>4</sub>, 16, Wc, Ic), SF3 (I<sub>2</sub>, 11, Ic), SF2 (I<sub>1</sub>, 5, Ic), SF1 (I<sub>1</sub>, 2, Ic, Ec).

〔選択書込〕

SF5

The diagram shows the timing of various signals for SF5. The signals are:

- 列電極  $D_1 \sim D_n$ : Data bus signals, shown as pulses.
- 行電極  $X_1 \sim X_n$ : Row address signals, shown as pulses.
- 行電極  $Y_1$ : Row address signal, shown as a pulse.
- 行電極  $Y_2$ : Row address signal, shown as a pulse.
- 行電極  $Y_n$ : Row address signal, shown as a pulse.
- Control signals:  $DP5_1$ ,  $DP5_2$ ,  $DP5_n$  (data pulses),  $RP_x$ ,  $RP_y$  (row pulse),  $IP_x$ ,  $IP_y$  (input pulse),  $SP$  (select pulse), and  $NE$  (not enable pulse).

The diagram is divided into three sections:  $R_c$  (Row Control),  $W_c$  (Write Control), and  $I_c$  (Input Control).

**[選択書込]**

時間	第2データ交換回路34の 交換テーブル					発光駆動パターン					表示輝度		
	D <sub>5</sub>	GD				SF	SF	SF	SF	SF	(b)	(c)	(d)
		5	4	3	2								
1	000	0	0	0	0	0					0	0	0
2	001	0	0	0	0	1				●	2	44	83
3	010	0	0	0	1	1			●	●	7	69	117
4	011	0	0	1	1	0		●	●	○	18	99	157
5	100	0	1	1	0	0		●	●	○	34	136	203
6	101	1	1	0	0	0	●	●	○	○	255	255	255

-17-

フロントページの続き

(72)発明者 長久保 哲朗  
山梨県中巨摩郡田富町西花輪2680番地 パ  
イオニア株式会社内

Fターム(参考) 5C058 AA11 AA12 BA01 BA07 BB03  
BB04 BB22  
5C080 AA05 BB05 DD04 DD26 EE29  
FF12 GG12 HH02 JJ02 JJ04  
JJ05